

Εθνικό Μετσόβιο Πολυτεχνείο
Σχολή Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών
Τομέας Πληροφορικής και Τεχνολογίας Υπολογιστών

Αλγόριθμοι γράφων σε ετερογενείς πολυπύρηνες αρχιτεκτονικές

Διπλωματική εργασία

Καθηγητής: Νεκτάριος Κοζύρης (nkoziris@cslab.ece.ntua.gr)
Επικοινωνία: Νίκος Αναστόπουλος (anastop@cslab.ece.ntua.gr)
Γεωργία Κουβέλη (gkoun@cslab.ece.ntua.gr)

Εισαγωγή

Η διπλωματική αυτή έχει ως στόχο την μελέτη, ανάπτυξη και αξιολόγηση παράλληλων αλγορίθμων γράφων σε ετερογενείς πολυπύρηνες αρχιτεκτονικές. Συγκεκριμένα, θα μελετηθούν κατά προτίμηση αλγόριθμοι εύρεσης ελαχίστων μονοπατιών από μία αρχική κορυφή (Single Source Shortest Paths – SSSP), όπως π.χ. οι αλγόριθμοι Bellman-Ford, Dijkstra, και θα υλοποιηθούν παράλληλες εκδόσεις τους για τον επεξεργαστή Cell B/E.

Ο Cell είναι ένας επεξεργαστής, ο οποίος δημιουργήθηκε από τις Sony, Toshiba και IBM και αποτελεί την καρδιά του Playstation 3. Ο Cell (Σχήμα 1) είναι ένας ετερογενής πολυνηματικός επεξεργαστής και αποτελείται από:

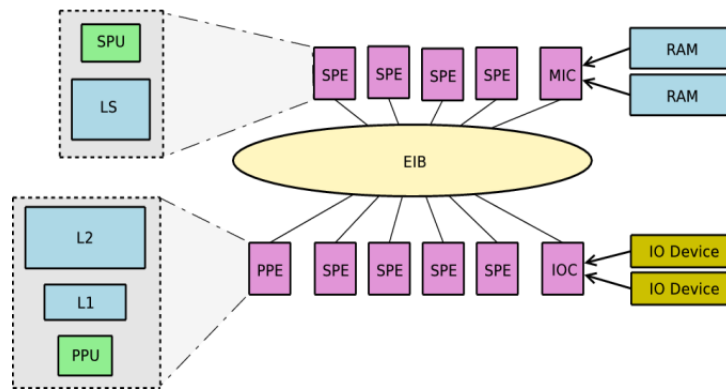
- 1 Κεντρικό Επεξεργαστή (PPE – Power Processign Element).
- 8 Εξειδικευμένους Συνεπεξεργαστές (SPEs – Synergistic Processing Elements)

Οι επεξεργαστικές μονάδες, η μνήμη και οι συσκευές E/E επικοινωνούν μέσω μιας συνεκτικής (coherent) μονάδας διαύλου (bus), η οποία ονομάζεται EIB – Element Interconnect Bus.

Η κεντρική επεξεργαστική μονάδα PPE, χρησιμοποιείται για την εκτέλεση του λειτουργικού συστήματος και έχει τον ρόλο του συντονισμού των συνεπεξεργαστών. Το PPE, αποτελείται από το PPU – Power Processing Unit, το οποίο είναι ένας dual-issue, in-order επεξεργαστής που υποστηρίζει 128bit εντολές SIMD.

Τα SPEs αποτελούνται από τη μονάδα επεξεργασίας (SPU – Synergistic Processing Unit) και έναν ελεγκτή για την πρόσβαση στη μνήμη (MFC – Memory Flow Controller). Το κάθε SPE λειτουργεί σε μία τοπική μνήμη (LS – Local Store Memory), στην οποία αποθηκεύει τόσο εντολές, όσο και δεδομένα. Τα SPEs περιλαμβάνουν και έναν ελεγκτή DMA (DMA Engine) για την μεταφορά δεδομένων από και προς την τοπική μνήμη. Τα SPUs υποστηρίζουν 128bit εντολές SIMD και έχουν 128 registers των 128bit για εντολές ακεραίων και μεταβλητής υποδιαστολής.

Η παραλληλοποίηση αλγορίθμων γράφων στις συμβατικές πολυπύρηνες αρχιτεκτονικές αποτελεί ούτως ή άλλως μια ενδιαφέρουσα διαδικασία, δεδομένου ότι ο προς εκμετάλλευση παραλληλισμός δεν είναι πάντα προφανής. Η αρχιτεκτονική του Cell εισάγει επιπλέον επίπεδα δυσκολίας, καθώς διαδικασίες που στις συμβατικές πολυπύρηνες αρχιτεκτονικές γίνονται με άμεσο τρόπο (π.χ. διαμοιρασμός γράφου ανάμεσα στους επεξεργαστές) στον Cell απαιτούν αυξημένη προγραμματιστική και σχεδιαστική προσπάθεια λόγω της ρητής διαχείρισης της ιεραρχίας μνήμης.



Σχήμα 1: Η αρχιτεκτονική του επεξεργαστή Cell

Στάδια υλοποίησης

- Μελέτη σχετικής βιβλιογραφίας
- Εξοικείωση με τα εργαλεία που θα χρησιμοποιηθούν για τον προγραμματισμό στον Cell, ανάπτυξη απλών παραδειγμάτων
- Επιλογή αλγορίθμων που τελικά θα υλοποιηθούν και επανασχεδιασμός τους για τον Cell
- Υλοποίηση αλγορίθμων / μετρήσεις

Προαπαιτούμενες γνώσεις

- Καλή γνώση της γλώσσας προγραμματισμού C
- Γνώση και εμπειρία στο προγραμματιστικό περιβάλλον του Linux (μαθήματα: Λειτουργικά Συστήματα και Εργαστήριο Λειτουργικών Συστημάτων).
- Γνώση βασικών αρχών και τεχνικών παράλληλου προγραμματισμού (μάθημα: Παράλληλη Επεξεργασία).
- Γνώση βασικών αρχών της σύγχρονης αρχιτεκτονικής υπολογιστών (μάθημα: Προηγμένα Θέματα Οργάνωσης Υπολογιστών).

Αναφορές

- Introduction to Algorithms, Thomas H. Cormen, Charles E. Leiserson, Ronald L. Rivest and Clifford Stein, 2001, MIT Press
- Άρθρο για τον Cell στην wikipedia:
http://en.wikipedia.org/wiki/Cell_microprocessor
- David A. Bader, Virat Agarwal, Kamesh Madduri: On the Design and Analysis of Irregular Algorithms on the Cell Processor: A Case Study of List Ranking. IPDPS 2007